

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: In-Sung Park et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: METHODS AND APPARATUS FOR FORMING DIELECTRIC STRUCTURES IN
INTEGRATED CIRCUITS

Date: February 2, 2004

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

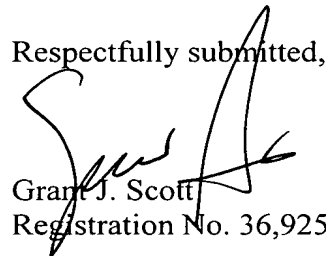
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2003-0006513, filed February 3, 2003.

Respectfully submitted,

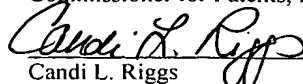


Grant J. Scott
Registration No. 36,925

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: 919/854-1400
Facsimile: 919/854-1401

"Express Mail" mailing label number EV 381448789 US
Date of Deposit: February 2, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Candi L. Riggs

Date of Signature: February 2, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0006513
Application Number

출원년월일 : 2003년 02월 03일
Date of Application FEB 03, 2003

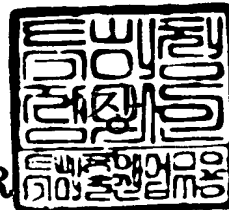
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 28 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.03
【발명의 명칭】	유전막 형성 장치 및 방법
【발명의 영문명칭】	APPARATUS AND METHOD FOR FORMING DIELECTRIC LAYERS
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	박인성
【성명의 영문표기】	PARK, In Sung
【주민등록번호】	680524-1895118
【우편번호】	137-870
【주소】	서울특별시 서초구 서초3동 1507-30 노블하우스 201호
【국적】	KR
【발명자】	
【성명의 국문표기】	임기빈
【성명의 영문표기】	IM, Ki Vin
【주민등록번호】	710807-1009510
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1287-3번지 201호
【국적】	KR
【발명자】	
【성명의 국문표기】	박기연
【성명의 영문표기】	PARK, Ki Yeon
【주민등록번호】	720407-1005911

【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 산 7-1 기숙사
【국적】	KR
【발명자】	
【성명의 국문표기】	여재현
【성명의 영문표기】	YE0, Jae Hyun
【주민등록번호】	730302-1621620
【우편번호】	137-130
【주소】	서울특별시 서초구 양재동 17-14번지 3층
【국적】	KR
【발명자】	
【성명의 국문표기】	이윤정
【성명의 영문표기】	LEE, Yun Jung
【주민등록번호】	750624-2068414
【우편번호】	151-800
【주소】	서울특별시 관악구 남현동 1081-34
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	2 면 2,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	12 항 493,000 원
【합계】	524,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

CVD 방법과 ALD 방법 모두가 채용된 유전막 형성 장치 및 방법을 개시한다. 유전막 형성 장치는 웨이퍼 상에 제 1 유전막을 화학기상증착 방식으로 형성하는 제 1 챔버와, 제 1 유전막 상에 제 2 유전막을 원자층 증착 방식으로 형성하는 제 2 챔버를 포함한다. 반대로, 제 1 챔버에서 제 1 유전막을 원자층 증착 방식으로 형성하고, 제 2 챔버에서 제 2 유전막을 화학기상증착 방식으로 형성할 수도 있다. 따라서, 이중의 유전막을 화학기상증착법과 원자층 증착법으로 형성함으로써, 화학기상증착법으로 빠른 시간 내에 형성된 제 1 유전막 상에 제 2 유전막을 원자층 증착법을 이용해서 웨이퍼 상의 넓은 영역에 걸쳐서 균일한 두께로 빠르게 형성할 수가 있게 된다.

【대표도】

도 2

【명세서】

【발명의 명칭】

유전막 형성 장치 및 방법{APPARATUS AND METHOD FOR FORMING DIELECTRIC LAYERS}

【도면의 간단한 설명】

도 1은 종래의 유전막 형성 장치를 나타낸 평면도.

도 2는 본 발명의 실시예 1에 따른 유전막 형성 장치를 나타낸 평면도.

도 3은 본 발명의 실시예 2에 따른 유전막 형성 장치를 나타낸 평면도.

도 4는 종래 장치로 완성된 캐패시터와 본 발명의 장치로 완성된 캐패시터간의 전기적 특성을 비교해서 나타낸 그래프.

도 5는 종래 장치와 본 발명의 장치로 완성된 각 캐패시터에 대해 열처리 실시 후 각 캐패시터간의 전기적 특성을 비교해서 나타낸 그래프.

- 도면의 주요 부분에 대한 부호의 설명 -

110,210 : 제 1 챔버

120,220 : 제 2 챔버

150 : 로드락 챔버

160 : 냉각 챔버

170 : 반송 챔버

230 : 제 3 챔버

240 : 제 4 챔버

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 유전막 형성 장치 및 방법에 관한 것으로서, 보다 구체적으로는 인-시튜 (in-situ) 방식으로 반도체 웨이퍼에 다층의 유전막을 형성하는 장치와, 이 장치를 이용해서 유전막을 적층형으로 형성하는 방법에 관한 것이다.
- <12> 반도체 디램은 크게 하나의 트랜지스터와 하나의 캐패시터로 구성된다. 캐패시터는 하부 전극과 유전막 및 상부 전극으로 이루어진다. 상하부 전극 사이에 배치되는 유전막은 디램이 동작하는데 충분한 용량의 캐패시턴스를 가져야 한다. 캐패시턴스에 영향을 미치는 인자는 캐패시터의 유효면적, 유전막의 유전율, 및 유전막의 두께 등이다.
- <13> 그런데, 디램의 집적도 증가에 따라서 셀의 크기가 작아짐과 더불어 셀들 사이의 거리도 짧아질 수밖에 없고, 이로 인해 캐패시터의 유효면적이 점차 감소되고 있다. 감소하는 유효면적을 보충하기 위해, 캐패시터를 복잡한 3차원 구조로 형성하고 있다. 또한, 유전율이 높으면서 얇은 두께를 갖는 유전막을 캐패시터에 사용해야 하는데, 이때 유전막의 두께 조절이 중요하다. 특히, 유전막을 하부 전극 상의 전체에 걸쳐서 균일한 두께로 증착하는 것이 매우 중요하다.
- <14> 유전막을 증착하는 방법으로는 sputter, MBE(Molecular Beam Epitaxy), CVD(Chemical Vapor Deposition:화학기상 증착법), ALD(Atomic Layer Deposition:원자층 증착법) 등이 있다. 이러한 방법들 중에서, 디램 공정에서 유전막을 얇고 균일한 두께로 증착할 수 있는 방법으로는 CVD 방법과 ALD 방법이 있다.

<15> CVD 방법은 금속 유기 반응물(metal organic reactant)인 제 1 반응물과 산화제(oxidant)인 제 2 반응물을 동시에 증착 챔버로 주입하여, 제 1 및 제 2 반응물간의 표면 반응에 의하여 유전막을 증착하는 방법이다. 한편, ALD 방법은 제 1 반응물과 제 2 반응물을 순차적으로 증착 챔버로 주입하여, 제 1 및 제 2 반응물간의 반응에 의하여 유전막을 증착하는 방법이다. CVD 방법은 증착 속도가 빠르고, 기화기(vaporizer) 사용에 의해 금속 유기 반응물의 선정 범위가 비교적 넓다는 장점이 있으나, 스텝 커버리지가 나쁘고 또한 증착 온도가 비교적 높아야 한다는 단점이 있다. 한편, ALD 방법은 증착 속도가 느리고 높은 증기압의 금속 유기 반응물을 사용해야만 하는 관계로 금속 유기 반응물의 선정 범위가 매우 좁다는 단점이 있으나, 원자 단위의 증착 방식이기 때문에 박막 두께의 제어가 용이하고 또한 비교적 낮은 온도 하에서 넓은 면적에 걸쳐 박막의 증착이 가능하다는 장점이 있다.

<16> 상기와 같은 방법으로 캐패시터의 유전막으로 증착되는 물질로는 SiO_2 , Ta_2O_5 , HfO_2 , ZrO_2 , TiO_2 , Y_2O_3 , Pr_2O_3 , La_2O_3 , Nb_2O_5 , SrTiO_3 (STO), BaSrTiO_3 (BST), PbZrTiO_3 (PZT) 등이 있다. 한편, 최근의 연구에 의하면, 상기 유전막들 중에서 선택된 하나의 단일막을 캐패시터의 유전막으로 사용하는 경우에 비해서, 상기 유전막들 중에서 선택된 2개 이상의 유전막들을 적층한 적층막 또는 소량의 금속이 주입된 유전막을 캐패시터의 유전막으로 사용하는 경우가, 캐패시터의 유전적 및 전기적 특성이 더 우수하다는 결과를 보여주고 있다. 적층막의 대표적인 예로는 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$, $\text{Ta}_2\text{O}_5/\text{HfO}_2$, $\text{Ta}_2\text{O}_5/\text{TiO}_2$, $\text{Al}_2\text{O}_3/\text{TiO}_2$, $\text{Al}_2\text{O}_3/\text{HfO}_2$ 등이 있다. 금속이 주입된 유전막으로는 Ti가 도핑된 Ta_2O_5 , Al이 도핑된 HfO_2 , Al이 도핑된 ZrO_2 등이 있다.

<17> 유전막을 적층 형태로 형성하는 종래의 장치가 도 1에 도시되어 있다. 도 1에 도시된 증착 장치는 대한민국 공개특허공보 제2002-0052644호(발명의 명칭 : 멀티 챔버로 구성된 다층 박막 형성 장치)에 개시된 것이다. 상기 증착 장치는 반송 챔버(10) 주위에 반입부(20)와 반출부(30)와 제 1 챔버(40) 및 제 2 챔버(50)가 배치된 구조로 이루어진다. 제 1 챔버(40)에서는 ALD 방법으로 SiN을 증착하고, 제 2 챔버(50)에서는 역시 ALD 방법으로 SiO₂를 증착한다.

<18> 그러나, 상기와 같은 구성을 갖는 종래의 증착 장치는 제 1 및 제 2 챔버(40,50)에서 모두 ALD 방법으로 유전막을 증착하는 방식이다. 따라서, 박막 증착 두께의 제어가 용이하고 비교적 낮은 온도 하에서 넓은 범위에 걸쳐 박막의 증착이 가능하다는 장점이 있지만, CVD 방법에 비해 증착 속도가 느리고 금속 유기 반응물의 선정 범위가 매우 좁다는 단점이 있다. 결과적으로, ALD 방법만을 채용한 종래의 장치는 반도체 제조 수율이 낮아지는 치명적인 단점을 안고 있다.

<19> 특히, 상기 증착 장치는 제 1 챔버(40)가 증착하는 유전막이 SiN이고, 제 2 챔버(50)가 증착하는 유전막이 SiO₂로 한정되어 있어서, 최근 캐패시터의 유전막으로 많이 사용되고 있는 다른 유전막, 예를 들면 Ta₂O₅, HfO₂, TiO₂와 같은 유전막을 증착하는 경우에는 채용될 수 없다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명의 제 1 목적은 CVD 방법과 ALD 방법의 장점만을 채용한 유전막 형성 장치를 제공하는데 있다.

<21> 본 발명의 제 2 목적은 Ta_2O_5 , HfO_2 , TiO_2 와 같이 캐패시터용으로 많이 사용되고 있는 유전막을 최적의 조건 하에서 적층형으로 형성하는 장치를 제공하는데 있다.

<22> 본 발명의 제 3 목적은 본 발명에 따른 장치를 이용해서 유전막을 적층형으로 형성하는 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<23> 상술한 본 발명의 제 1 및 제 2 목적을 달성하기 위하여, 본 발명에 따른 유전막 형성 장치는 웨이퍼 상에 제 1 유전막을 화학기상증착 방식으로 형성하는 제 1 챔버와, 제 1 유전막 상에 제 2 유전막을 원자층 증착 방식으로 형성하는 제 2 챔버를 포함한다. 반대로, 제 1 챔버에서 제 1 유전막을 원자층 증착 방식으로 형성하고, 제 2 챔버에서 제 2 유전막을 화학기상증착 방식으로 형성할 수도 있다.

<24> 본 발명의 제 3 목적을 달성하기 위하여, 본 발명에 따른 유전막 형성 방법은 다음과 같은 단계로 이루어진다. 먼저, 웨이퍼 상에 제 1 유전막을 화학기상증착법으로 형성한다. 그런 다음, 제 1 유전막 상에 제 2 유전막을 원자층 증착법으로 증착한다. 반대로, 제 1 유전막을 원자층 증착법으로 형성한 후, 제 2 유전막을 화학기상증착법으로 형성할 수도 있다.

<25> 상기된 본 발명의 구성에 의하면, 이중의 유전막을 화학기상증착법과 원자층 증착법으로 형성함으로써, 화학기상증착법으로 빠른 시간 내에 형성된 제 1 유전막 상에 제 2 유전막을 원자층 증착법을 이용해서 웨이퍼 상의 넓은 영역에 걸쳐서 균일한 두께로 형성할 수가 있게 된다. 본 발명은 유전막을 포함하는 캐패시터 및 게이트(gate) 구조 등의 유전막 형성 방법 및 장치로 실시될 수 있다.

- <26> 이하, 본 발명의 바람직한 실시예에 따른 유전막 형성 장치 및 방법을 도면들을 참조하여 상세하게 설명한다.
- <27> 실시예 1
- <28> 도 2는 본 발명의 실시예 1에 따른 유전막 형성 장치를 나타낸 평면도이다.
- <29> 도 2를 참조로, 본 발명의 실시예 1에 따른 유전막 형성 장치(100)는 정사각형의 횡단면 형상을 갖는 반송 챔버(170)를 포함한다. 로드락 챔버(150)와 제 1 및 제 2 챔버(110, 120) 및 냉각 챔버(160)가 반송 챔버(170)의 제 1 내지 제 4 측면에 시계방향을 따라 순차적으로 배치된다.
- <30> 로드락 챔버(150)는 반송 챔버(170)에 진공을 형성함으로써, 제 1 챔버(110)와 제 2 챔버(120)에서 웨이퍼 상에 진공 단절이 없이 인-시튜 방식으로 유전막이 증착될 수 있도록 한다. 냉각 챔버(160)는 반송 챔버(170)의 온도를 제어하는 역할을 한다.
- <31> 제 1 챔버(110)는 웨이퍼 상에 CVD 방법으로 제 1 유전막을 증착하는 공정 챔버이다. 제 2 챔버(120)는 제 1 유전막 상에 ALD 방법으로 제 2 유전막을 증착하는 공정 챔버이다. 제 1 및 제 2 챔버(110, 120)에서는 상온에서 700℃ 정도까지 온도가 제어되고, 또한 1×10^{-6} torr에서 상압까지 압력이 제어된다.
- <32> 즉, 본 발명의 실시예 1에 따른 유전막 형성 장치(100)는 증착 방식이 서로 다른 2개의 챔버(110, 120)로 이루어진다. 따라서, 제 1 유전막을 CVD 방법으로 증착하므로, 제 1 유전막을 빠른 시간 내에 증착할 수 있다는 장점이 있다. 이어서, 제 2 유전막을 제 1 유전막 상에 ALD 방법으로 증착하므로, 제 2 유전막 증착 두께의 제어가 용이하고 또한 비교적 낮은 온도 하에서 넓은 면적에 걸쳐 균일한 두께로 증착할 수가 있게 된다.

<33> 한편, 제 1 챔버(110)에서 CVD 방법으로 증착되는 제 1 유전막으로는 SiO_2 , Si_3N_4 , Ta_2O_5 , HfO_2 , ZrO_2 , TiO_2 , Y_2O_3 , Pr_2O_3 , La_2O_3 , Nb_2O_5 , $\text{SrTiO}_3(\text{STO})$, $\text{BaSrTiO}_3(\text{BST})$, $\text{PbZrTiO}_3(\text{PZT})$ 등이 있다. 제 2 챔버(120)에서 ALD 방법으로 증착되는 제 2 유전막으로는 SiO_2 , Si_3N_4 , Al_2O_3 , Ta_2O_5 , HfO_2 , ZrO_2 , TiO_2 , Y_2O_3 , Pr_2O_3 , La_2O_3 , Nb_2O_5 , $\text{SrTiO}_3(\text{STO})$, $\text{BaSrTiO}_3(\text{BST})$, $\text{PbZrTiO}_3(\text{PZT})$ 등이 있다.

<34> 상기 예에서, 제 2 유전막의 재질에는 제 1 유전막의 재질을 모두 포함하면서 Al_2O_3 가 추가된다. 즉, 제 1 유전막으로 증착되는 재질 전부는 CVD 방법이나 ALD 방법 중 어느 하나의 방법으로 형성하는 것이 가능하지만, Al_2O_3 만은 반드시 ALD 방법으로 증착하는 것이 본 발명에서 요구된다. 종래에는, Al_2O_3 를 CVD 방법으로 증착하였기 때문에, 비록 증착 시간은 빠르지만, 불순물이 많이 함유되고 특히 결합 상태가 불안정한 관계로 경화 공정(curing)과 같은 추가 공정이 요구되었다. 그러나, 본 발명에서는 Al_2O_3 를 ALD 방법으로 증착하므로, 비록 증착 시간은 CVD 방법보다는 길어지지만, 불순물이 적게 함유되고 특히 결합 상태가 안정되어 추가 공정이 필요하지 않게 된다. 특히, Al_2O_3 를 ALD 방법으로 증착하는 것에 의해 증착 시간이 늘어나는 것은, 전체 증착 시간 측면에서 보면 CVD 방법으로 충분히 보상이 된다.

<35> 또한, 웨이퍼 상에 Al_2O_3 를 증착하는 종래의 CVD 방법은 매우 낮은 저기압에서 수행되며, 온도에 의한 웨이퍼 결정 특성(cristalline quality), 표면 형태(surface morphology), 균일성(unirformity) 및 유전성(dielectricity) 등이 민감하게 반응한다. 예를 들어, 약 1000°C 의 고온에서 진행된 Al_2O_3 증착은 양호한 웨이퍼 결정 특성을 갖지만, 표면 형태, 균일성 및 유전성에서 열악한 특성을 갖는다. 하지만, 본 발명에 따라

Al_2O_3 를 ALD 방법으로 증착하면, 표면 형태 및 유전성 등의 특성을 우수하게 개선할 수 있다. 이 경우 웨이퍼 결정 특성은 Al_2O_3 막을 어닐링 처리함으로써 개선될 수 있다.

<36> 한편, 본 실시예 1에서는 제 1 챔버(110)가 CVD 방식의 증착 챔버이고, 제 2 챔버(120)는 ALD 방식의 증착 챔버로 구성하였으나, 반대가 될 수도 있다. 즉, 제 1 챔버(110)가 ALD 방식으로 제 1 유전막을 증착하고, 제 2 챔버(120)가 CVD 방법으로 제 2 유전막을 증착할 수도 있다. 다만, 상기와 같은 구성이 되면, Al_2O_3 만은 제 1 챔버(110)에서 증착되어야 할 것이다.

<37> 실시예 2

<38> 도 3은 본 발명의 실시예 2에 따른 유전막 형성 장치를 나타낸 평면도이다.

<39> 도 3을 참조로, 본 발명의 실시예 2에 따른 유전막 형성 장치(200)는 정육각형의 횡단면 형상을 갖는 반송 챔버(270)를 포함한다. 2개의 로드락 겸 냉각 챔버(250, 260)와 제 1 내지 제 4 챔버(210, 220, 230, 240)가 반송 챔버(270)의 네 측면에 시계방향을 따라 순차적으로 배치된다.

<40> 즉, 실시예 1에 따른 유전막 형성 장치(100)는 2개의 공정 챔버(110, 120)를 갖는 반면에, 본 실시예 2에 따른 유전막 형성 장치(200)는 4개의 공정 챔버(210, 220, 230, 240)를 갖는다.

<41> 제 1 챔버(210)는 Al_2O_3 를 ALD 방법으로 증착하는 챔버이고, 제 2 챔버(220)는 Ta_2O_5 를 CVD 방법으로 증착하는 챔버이다. 한편, 제 3 챔버(230)는 HfO_2 를 CVD 방법으로 증착하는 챔버이고, 제 4 챔버(240)는 TiO_2 를 ALD 방법으로 증착하는 챔버이다. 상기와 같이, 실시예 2에 따른 유전막 형성 장치(200)는 ALD 방식의 제 1 및 제 4 챔버(210, 230)

2개와 CVD 방식의 제 2 및 제 3 챔버(220,230) 2개를 갖는다. 한편, 상기 설명에서는 각 챔버(210,220,230,240)에서 증착되는 유전막의 재질을 한정하였으나, 반드시 상기된 재질로만 국한되지 않음은 물론이다. 다만, 전술된 바와 같이, Al_2O_3 는 반드시 ALD 방식으로 증착되어야 하는 것이 요구된다.

<42> 여기서, 실제로 유전막을 증착할 때, 4개의 챔버(210,220,230,240) 모두가 사용되는 것은 아니다. 유전막은 제 1 및 제 2 유전막 두 층으로 구성하게 되므로, 증착하려는 유전막의 종류에 따라, ALD 방식인 제 1 챔버(210)와 제 4 챔버(240) 중에서 어느 하나의 챔버와, CVD 방식인 제 2 챔버(220)와 제 3 챔버(230) 중에서 어느 하나의 챔버가 선택된다. 또한, 실시예 1에서 언급된 바와 같이, 선택된 2개의 챔버의 가동 순서는 제한되지 않는다.

<43> 물론, 반송 챔버(270)를 정팔각형 형상으로 구성하여, 공정 챔버를 3개의 ALD 챔버와 3개의 CVD 챔버로 구성할 수도 있을 것이다. 즉, 공정 챔버의 수는 본 발명에서는 제한되지 않고, 다만 적어도 ALD 챔버와 CVD 챔버 하나씩은 공정 챔버에 포함될 것이 본 발명에서 요구된다.

<44> 실험예

<45> 하기 표 1에 동일한 재질의 두 층의 유전막을 형성하기 위한 종래의 유전막 증착 장치와 본 발명에 따른 증착 장치의 구성을 비교하여 나타내었다.

<46> **【표 1】**

구분	종래 기술		본 발명	
챔버	ALD 방식의 제 1 챔버	ALD 방식의 제 2 챔버	CVD 방식의 제 1 챔버	ALD 방식의 제 2 챔버
유전막	Ta_2O_5	TiO_2	Ta_2O_5	TiO_2

<47> 상기 표 1과 같이, 종래 기술에 따라 제 1 및 제 2 챔버 모두를 ALD 방식의 챔버로 구성하였다. 반면에, 본 발명에 따라 제 1 챔버는 CVD 방식의 챔버로, 제 2 챔버는 ALD 방식의 챔버로 구성하였다. 상기와 같은 구성으로 이루어진 종래 기술의 증착 장치와 본 발명의 증착 장치로 Ta_2O_5/TiO_2 로 이루어진 두 층의 유전막을 각각 증착하였다.

<48> 1. 증착 실험예

<49> (1) 종래 기술

<50> 먼저, 종래 장치를 이용한 유전막 증착 공정은 다음과 같은 순서로 이루어졌다. 웨이퍼 상에 실린더형 캐패시터 구조를 형성한 다음, 하부 전극인 폴리실리콘을 형성한 후 세정하였다. 그런 다음, 하부 전극인 폴리실리콘의 전기 전도성을 증가시키기 위해, 인을 $750^{\circ}C$ 에서 60초 동안 폴리실리콘에 도핑하였다. 이어서, 폴리실리콘에 대해 RTN(Rapid Thermal Nitridation) 공정을 $750^{\circ}C$ 에서 180초 동안 실시하였다. RTN은 하부 전극을 활성화시키고 자연산화막의 성장을 억제하며 또한 후속 열처리에 의한 산화방지막을 형성하는 역할을 한다.

<51> 그런 다음, 폴리실리콘 상에 Ta_2O_5 를 증착율이 $4\text{\AA}/\text{분}$ 인 ALD 방법으로 $350^{\circ}C$ 에서 20\AA 의 두께로 증착하였다. 이때, $Ta(C_2H_5O)_5$ 를 금속 소스로, O_3 를 산화제로 이용하였고, Ar로 $Ta(C_2H_5O)_5$ 와 O_3 를 각각 퍼지하였다. 즉, $Ta(C_2H_5O)_5$ 의 공급 및 Purge, O_3 의 공급 및 purge 의 네 단계를 한 cycle로 원하는 두께만큼 cycle를 반복 진행하였다. 이어서, Ta_2O_5 에 대해 UV- O_3 어닐링 공정을 $700^{\circ}C$ 에서 120초 동안 실시하여, Ta_2O_5 를 경화시켰다.

- <52> 그런 다음, ALD 방법으로 증착된 Ta_2O_5 상에 TiO_2 를 ALD 방법으로 $350^\circ C$ 에서 100 \AA 의 두께로 증착하였다. 이때, TiO_2 의 증착은 $Ti(C_3H_7O)_4$ 를 금속 소스로, O_3 를 산화제로 이용하였고, Ar로 $Ti(C_3H_7O)_4$ 와 O_3 를 각각 퍼지하였다. $Ti(C_3H_7O)_4$ 의 공급 및 Purge, O_3 의 공급 및 purge 의 네 단계를 한 cycle로 원하는 두께만큼 cycle를 반복 진행하였다.
- <53> 이어서, Ta_2O_5/TiO_2 에 대해 O_2 열처리를 $600^\circ C$ 에서 30분간 실시하여, Ta_2O_5/TiO_2 의 취약 부위를 경화시켰다.
- <54> 마지막으로, 상부 전극인 Ru(루테늄)를 Ta_2O_5/TiO_2 상에 CVD 방법으로 300 \AA 두께로 증착한 후, 계속해서 PVD 방법으로 300 \AA 두께로 증착하였다.
- <55> (2) 본 발명
- <56> 한편, 본 발명에 따른 증착 장치로 유전막을 증착하는 공정은 다음과 같은 순서로 이루어졌다. 웨이퍼 상에 실린더형 캐패시터 구조를 형성한 다음, 하부 전극인 폴리실리콘을 형성한 후 세정하였다. 그런 다음, 하부 전극인 폴리실리콘의 전기 전도성을 증가시키기 위해, 인을 $750^\circ C$ 에서 60초 동안 폴리실리콘에 도핑하였다. 이어서, 폴리실리콘에 대해 RTN(Rapid Thermal Nitridation) 공정을 $750^\circ C$ 에서 180초 동안 실시하였다. RTN은 하부 전극을 활성화시키고 자연 산화막의 성장을 억제하며 또한 후속 열처리에 의한 산화 방지막을 형성하는 역할을 한다.
- <57> 그런 다음, 폴리실리콘 상에 Ta_2O_5 를 증착율이 $43 \text{ \AA}/\text{분}$ 인 CVD 방법으로 $460^\circ C$ 에서 20 \AA 의 두께로 증착하였다. 이때, $Ta(C_2H_5O)_5$ 를 금속 소스로, O_3 를 산화제로 이용하였다. 여기서, CVD 방법의 증착율은 $43 \text{ \AA}/\text{분}$ 인 반면에 ALD 방법의 증착율은 $4 \text{ \AA}/\text{분}$ 이므로, CVD

방법에 의한 유전막 증착 속도는 ALD 방법에 비해서 10배 이상 빨랐다. 이어서, Ta_2O_5 에 대해 UV- O_3 어닐링 공정을 $700^\circ C$ 에서 120초 동안 실시하여, Ta_2O_5 를 경화시켰다.

<58> 그런 다음, CVD 방법으로 증착된 Ta_2O_5 상에 TiO_2 를 ALD 방법으로 $350^\circ C$ 에서 100Å의 두께로 증착하였다. 이때, TiO_2 의 증착은 $Ti(C_3H_7O)_4$ 를 금속 소스로, O_3 를 산화제로 이용하였고, Ar로 $Ti(C_3H_7O)_4$ 와 O_3 를 각각 퍼지하였다. $Ti(C_3H_7O)_4$ 의 공급 및 Purge, O_3 의 공급 및 purge의 네 단계를 한 cycle로 원하는 두께만큼 cycle를 반복 진행하였다.

<59> 이어서, Ta_2O_5/TiO_2 에 대해 O_2 열처리를 $600^\circ C$ 에서 30분간 실시하여, Ta_2O_5/TiO_2 의 취약 부위를 치유하였다.

<60> 마지막으로, 상부 전극인 Ru(루테튬)를 Ta_2O_5/TiO_2 상에 CVD 방법으로 300Å 두께로 증착한 후, 계속해서 PVD 방법으로 300Å 두께로 증착하였다.

<61> 2. 측정 비교예

<62> 상기와 같은 공정을 통해서 각각 완성된 캐패시터들간의 전기적 특성을 측정하였다. 도 4는 종래 장치로 완성된 캐패시터와 본 발명의 장치로 완성된 캐패시터간의 전기적 특성을 비교해서 나타낸 그래프로서, 횡축은 전압이고 종축은 누설 전류이다. 이때, 각 캐패시터는 20.2fF/셀의 동일한 캐패시턴스를 갖도록 하였고, 도 4에서 곡선 ①이 종래 장치로 형성된 유전막의 누설 전류 추이이고, 곡선 ②가 본 발명의 장치로 형성된 유전막의 누설 전류 추이이다.

<63> 도 4에 나타난 바와 같이, 전압값이 양일 경우에는, 종래 장치로 완성된 캐

패시터와 본 발명의 장치로 완성된 캐패시터간에 누설전류 차이는 거의 없었다. 그러나, 전압값이 음일 경우에는, 곡선 ①이 나타내는 누설 전류값이 곡선 ②가 나타내는 누설 전류값보다 상당히 많았다. 즉, 종래 장치에 의한 캐패시터에서 발생하는 누설 전류가 본 발명에 의한 캐패시터에서 발생하는 누설 전류보다 상당히 크다는 것을 알 수 있었다

<64> 이와 같이, 본 발명에 따라 형성된 유전막을 갖는 캐패시터가 종래 기술에 따라 형성된 유전막을 갖는 캐패시터보다 전기적 특성이 매우 우수하다는 것이 입증되었다. 특히, 본 발명에 의한 유전막 증착 시간이 종래 기술에 의한 유전막 증착 시간보다 10배 이상 빨랐다. 즉, 본 발명에 따른 유전막은 종래 기술에 따른 유전막보다 10배 이상 빠른 시간 내에 증착되면서 전기적 특성이 우수하였다.

<65> 한편, 각 캐패시터 조직의 결합 상태를 더욱 안정하게 한 후, 각 캐패시터의 누설 전류를 측정하였다. 각 캐패시터에 대해서 산소 분위기 하에서 400℃에서 열처리를 실시한 후, 각 캐패시터의 누설 전류를 측정한 결과가 도 5에 도시되어 있다.

<66> 도 5에서 횡축은 전압이고 종축은 누설 전류이며, 곡선 ③은 종래 장치로 형성된 유전막의 누설 전류 추이이고, 곡선 ④가 본 발명의 장치로 형성된 유전막의 누설 전류 추이이다. 도 5에 나타난 바와 같이, 전압이 양의 값 또는 음의 값이건 상관없이, 각 캐패시터에서의 누설 전류 차이는 거의 없었다. 즉, 본 발명에 따른 캐패시터와 종래 기술에 따른 캐패시터의 전기적 특성 차이는 거의 없었다.

<67> 그러나, 전술된 바와 같이, 본 발명에 따른 유전막 증착 속도가 종래보다 10배 이상 빠르므로, 동일한 전기적 특성을 갖는 유전막을 종래보다 빠른 시간 내에 형성할 수 있다는 것이 입증되었다.

【발명의 효과】

- <68> 전술한 바와 같이 본 발명에 따르면, 두 층의 유전막을 CVD 방법과 ALD 방법 각각을 이용해서 형성하게 되므로, CVD 방법의 장점과 ALD 방법의 장점을 본 발명에 따른 장치 및 방법이 모두 갖게 된다. 즉, CVD 방법으로 유전막을 빠른 속도로 형성할 수가 있고, ALD 방법으로 안정된 결합 상태를 갖는 우수한 막질의 유전막을 형성할 수가 있게 된다.
- <69> 본 발명에 따른 유전막을 갖는 캐패시터의 전기적 특성은 종래 기술에 따른 캐패시터의 전기적 특성보다 우수하거나 적어도 동등하므로, 최소한 본 발명에 따른 장치 및 방법에 의해 유전막 증착 시간을 대폭 줄일 수가 있게 된다.
- <70> 상기에서는 본 발명의 바람직한 실시예에 따른 유전막 증착 장치 및 방법을 설명 및 도시하였으나 본 발명은 전술한 실시예에 의해 한정되지 않고 하기의 특허청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양하게 변경 실시할 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

화학기상증착 방식으로 제 1 유전막을 형성하는 제 1 챔버; 및

원자층 증착 방식으로 제 2 유전막을 형성하는 제 2 챔버를 포함하는 유전막 형성 장치.

【청구항 2】

제 1 항에 있어서, 화학기상증착 방식의 적어도 하나의 제 3 챔버; 및

원자층 증착 방식의 적어도 하나의 제 4 챔버를 더 포함하는 것을 특징으로 하는 유전막 형성 장치.

【청구항 3】

제 1 항에 있어서, 제 1 내지 제 4 측면을 갖고, 상기 제 1 및 제 2 측면에 상기 제 1 및 제 2 챔버가 연결된 반송 챔버;

상기 반송 챔버의 제 3 측면에 연결된 로드락 챔버; 및

상기 반송 챔버의 제 4 측면에 연결된 냉각 챔버를 포함하는 것을 특징으로 하는 유전막 형성 장치.

【청구항 4】

제 1 항에 있어서, 상기 제 1 유전막은 HfO_2 이고, 상기 제 2 유전막은 Al_2O_3 인 것을 특징으로 하는 유전막 형성 장치.

【청구항 5】

웨이퍼 상에 제 1 유전막을 화학기상증착 방식으로 형성하는 단계; 및

상기 제 1 유전막 상에 제 2 유전막을 원자층 증착 방식으로 형성하는 단계를 포함하는 유전막 형성 방법.

【청구항 6】

제 5 항에 있어서, 상기 제 1 유전막은 SiO_2 , Si_3N_4 , Ta_2O_5 , HfO_2 , ZrO_2 , TiO_2 , Y_2O_3 , Pr_2O_3 , La_2O_3 , Nb_2O_5 , $\text{SrTiO}_3(\text{STO})$, $\text{BaSrTiO}_3(\text{BST})$, $\text{PbZrTiO}_3(\text{PZT})$ 로 구성된 그룹으로부터 선택된 어느 하나인 것을 특징으로 하는 유전막 형성 방법.

【청구항 7】

제 5 항에 있어서, 상기 제 2 유전막은 SiO_2 , Si_3N_4 , Al_2O_3 , Ta_2O_5 , HfO_2 , ZrO_2 , TiO_2 , Y_2O_3 , Pr_2O_3 , La_2O_3 , Nb_2O_5 , $\text{SrTiO}_3(\text{STO})$, $\text{BaSrTiO}_3(\text{BST})$, $\text{PbZrTiO}_3(\text{PZT})$ 로 구성된 그룹으로부터 선택된 어느 하나인 것을 특징으로 하는 유전막 형성 방법.

【청구항 8】

제 5 항에 있어서, 상기 제 1 유전막은 HfO_2 이고, 상기 제 2 유전막은 Al_2O_3 인 것을 특징으로 하는 유전막 형성 방법.

【청구항 9】

웨이퍼 상에 제 1 유전막을 원자층 증착 방식으로 형성하는 단계; 및

상기 제 1 유전막 상에 제 2 유전막을 화학기상증착 방식으로 형성하는 단계를 포함하는 유전막 형성 방법.

【청구항 10】

제 9 항에 있어서, 상기 제 1 유전막은 SiO_2 , Si_3N_4 , Al_2O_3 , Ta_2O_5 , HfO_2 , ZrO_2 , TiO_2 , Y_2O_3 , Pr_2O_3 , La_2O_3 , Nb_2O_5 , $\text{SrTiO}_3(\text{STO})$, $\text{BaSrTiO}_3(\text{BST})$, $\text{PbZrTiO}_3(\text{PZT})$ 로 구성된 그룹으로부터 선택된 어느 하나인 것을 특징으로 하는 유전막 형성 방법.

【청구항 11】

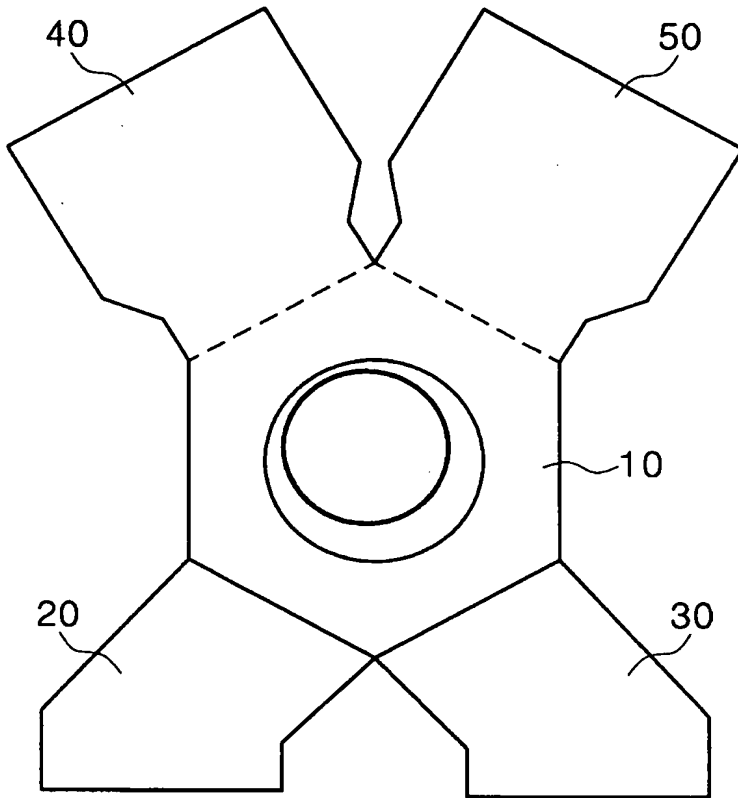
제 9 항에 있어서, 상기 제 2 유전막은 SiO_2 , Si_3N_4 , Ta_2O_5 , HfO_2 , ZrO_2 , TiO_2 , Y_2O_3 , Pr_2O_3 , La_2O_3 , Nb_2O_5 , $\text{SrTiO}_3(\text{STO})$, $\text{BaSrTiO}_3(\text{BST})$, $\text{PbZrTiO}_3(\text{PZT})$ 로 구성된 그룹으로부터 선택된 어느 하나인 것을 특징으로 하는 유전막 형성 방법.

【청구항 12】

제 9 항에 있어서, 상기 제 1 유전막은 Al_2O_3 이고, 상기 제 2 유전막은 HfO_2 인 것을 특징으로 하는 유전막 형성 방법.

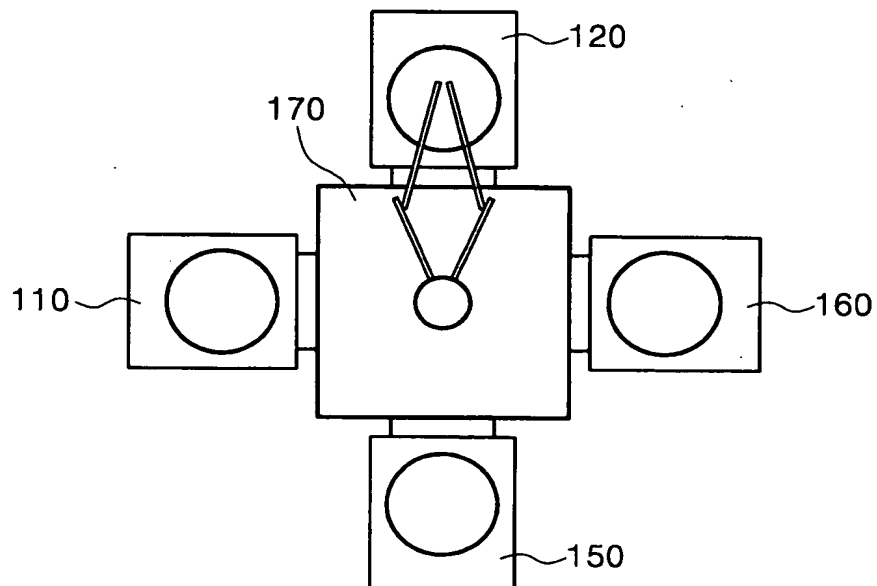
【도면】

【도 1】



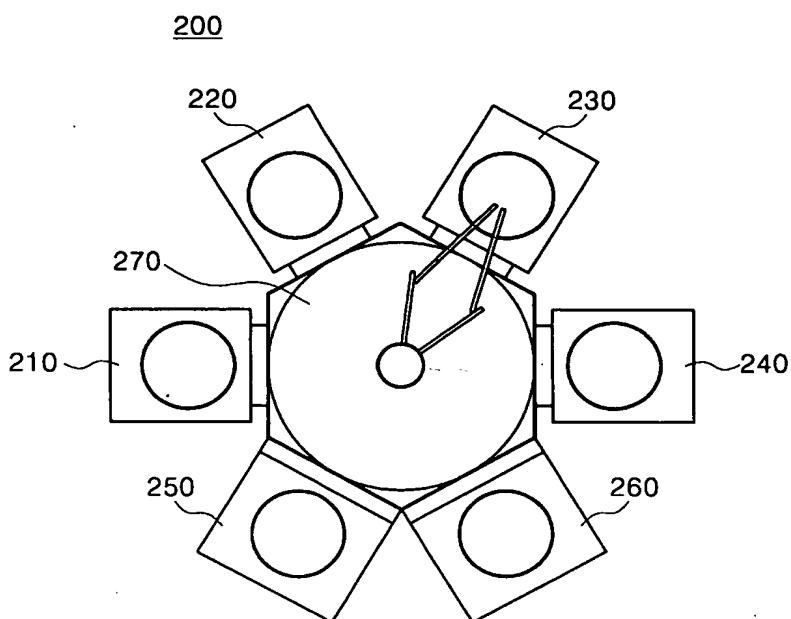
【도 2】

100

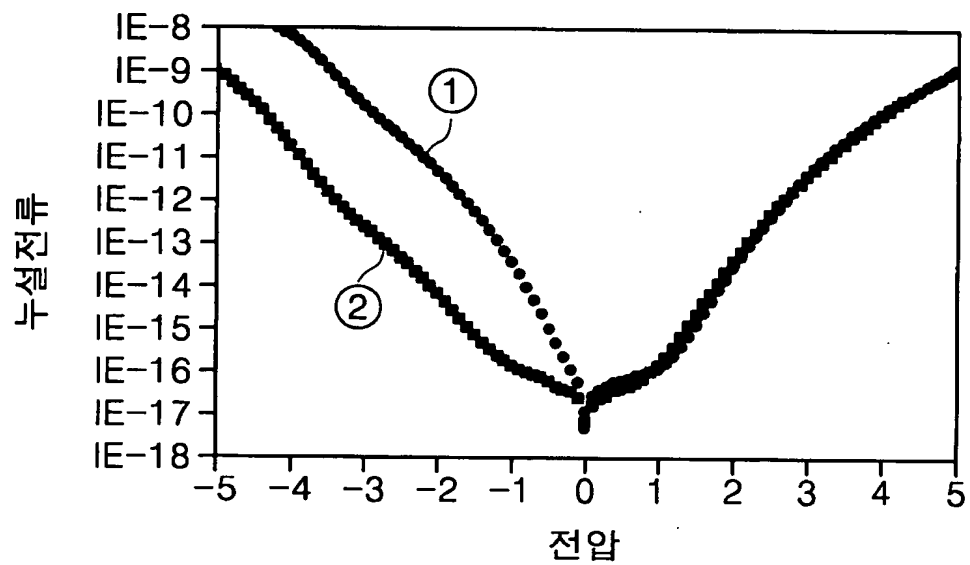




【도 3】



【도 4】





【도 5】

